

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107172

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H01L 23/12

(21)Application number : 08-258723

(71)Applicant : HITACHI LTD
HITACHI CABLE LTD

(22)Date of filing : 30.09.1996

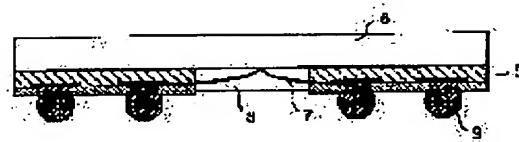
(72)Inventor : OGINO MASAHIKO
NAGAI AKIRA
EGUCHI KUNIYUKI
SEGAWA MASANORI
HATTORI RIE
KOKADO HIROYOSHI
ISHII TOSHIAKI
NISHIMURA ASAO
TSUBOSAKI KUNIHIRO
MIYAZAKI CHUICHI
ONDA MAMORU
OKABE NORIO

(54) WIRING SUBSTRATE AND SEMICONDUCTOR DEVICE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is high in connection reliability and mounting reliability between a lead and a semiconductor chip.

SOLUTION: A device comprises a semiconductor chip or a substrate on which the semiconductor chip is mounted, and a wiring substrate for electrically connecting the semiconductor chip to a mounting substrate. In addition, a wiring layer where the wiring substrate is electrically connected to a semiconductor chip 6 terminal and a ball-like terminal for electrical connection to the mounting substrate are provided. In that case, on the wiring layer of the wiring substrate, a buffer layer for relaxing thermal stress between the semiconductor chip 6 and the mounting substrate is provided, with the buffer layer comprising a hardened silicon elastomer whose main skeleton is polydimethylsiloxane. A weight average molecular weight of the polydimethylsiloxane is 90,000 or above, and a component $-\text{[(CH}_3\text{)}_2\text{SiO]}_n-$ (where, n is 5 or less) in the gas generated by heating a pre-hardening silicon elastomer at 150° C for one hour is 0.1 weight % or less of heating/volume reduction amount.



LEGAL STATUS

[Date of request for examination]

28.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3208072

[Date of registration]

06.07.2001

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107172

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平8-258723
(22) 出願日 平成8年(1996) 9月30日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000005120
日立電線株式会社
東京都千代田区丸の内二丁目1番2号
(72) 発明者 荻野 雅彦
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72) 発明者 永井 晃
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(74) 代理人 弁理士 高橋 明夫 (外1名)
最終頁に続く

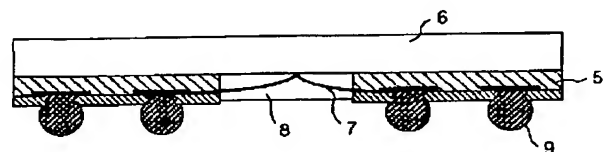
(54) 【発明の名称】 配線基板とそれを用いた半導体装置

(57) 【要約】

【課題】 リードと半導体チップとの接続信頼性および実装信頼性が高い半導体装置の提供。

【解決手段】 半導体チップまたは半導体チップを搭載した基板と、半導体チップを実装基板に電気的に接続するための配線基板を備え、該配線基板が半導体チップ端子と電気的に接続された配線層と、実装基板と電気的に接続するためのボール状端子を備えた半導体装置において、前記配線基板の配線層上に半導体チップと実装基板との熱応力緩和のための緩衝層を備え、該緩衝層がポリジメチルシロキサンを主骨格とするシリコーンエラストマ硬化物により構成されており、前記ポリジメチルシロキサンの重量平均分子量が90,000以上、硬化前のシリコーンエラストマの150℃、1時間加熱により発生するガス中の $-(\text{CH}_3)_2\text{SiO}-$ (但し、 n は5以下) 成分が加熱減量分の0.1重量%以下である半導体装置にある。

図 5



6…半導体チップ 7…接続リード 8…封止材
9…はんだボール接続端子

【特許請求の範囲】

【請求項1】 半導体チップと、実装基板とを電気的に接続するための配線基板であって、半導体チップ端子と電気的に接続するための配線層と、実装基板と電気的に接続するためのボール状端子を有する配線基板において、

前記配線層上に半導体チップと実装基板との熱応力緩和のための緩衝層を備え、該緩衝層が、ポリジメチルシロキサンを主骨格とするシリコーンエラストマ硬化物により構成されており、

前記ポリジメチルシロキサンの重量平均分子量(Mw)が90,000以上、硬化前のシリコーンエラストマの150℃、1時間加熱により発生するガス中の $-(CH_3)_2SiO)n-$ (但し、nは5以下)成分が加熱減量分の0.1重量%以下であることを特徴とする配線基板。

【請求項2】 前記緩衝層を構成するシリコーンエラストマの硬化前の粘度が1,000Pa・s以下である請求項1に記載の配線基板。

【請求項3】 半導体チップまたは半導体チップを搭載した基板と、半導体チップを実装基板に電気的に接続するための配線基板を備え、該配線基板が半導体チップ端子と電気的に接続された配線層と、実装基板と電気的に接続するためのボール状端子を備えた半導体装置において、

前記配線基板の配線層上に半導体チップと実装基板との熱応力緩和のための緩衝層を備え、該緩衝層がポリジメチルシロキサンを主骨格とするシリコーンエラストマ硬化物により構成されており、

前記ポリジメチルシロキサンの重量平均分子量(Mw)が90,000以上、硬化前のシリコーンエラストマの150℃、1時間加熱により発生するガス中の $-(CH_3)_2SiO)n-$ (但し、nは5以下)成分が加熱減量分の0.1重量%以下であることを特徴とする半導体装置。

【請求項4】 前記緩衝層を構成するシリコーンエラストマの硬化前の粘度が1,000Pa・s以下である請求項3に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高密度実装やマルチ半導体チップモジュールに用いられる配線基板およびそれを用いた半導体装置に関する。

【0002】

【従来の技術】近年、電子デバイスの小型化、高性能化に伴い、用いられる半導体装置も高集積度、高密度、および、処理速度の高速化が要求されている。

【0003】実装密度の向上にはピン挿入型から表面実装型へ、また、多ピン化の対応には、DIP(Dual In-line Packager)からQFP(Quad Flat Packag-
e)やPGA(Pin Grid Array)などのパッケージが

開発された。

【0004】しかし、QFPはパッケージの周辺部のみに実装基板との接続リードが集中し、リード自体も細く変形し易いため、多ピン化に対しては実装が困難になりつつある。また、PGAは実装基板と接続するための端子が細長く、かつ、密集しているため高速化が難しく、また、ピン挿入型であるから表面実装できず、高密度実装において不利である。

【0005】最近ではこれらの課題を解決し、高速化を実現するため半導体チップを金ワイヤボンディングにより電気的接続したキャリア基板の実装面全体に、ボール状の接続端子を有するBGA(Ball Grid Array)パッケージが登場した(USPN0. 5,148,265)。

【0006】上記構造のパッケージは、実装基板と接続するための端子がボール状はんだで形成されていることから、QFPのようなリード変形がなく、また、実装面全体に端子が分散されていることから端子間ピッチを大きくとることができ、表面実装が容易である。また、PGAに比べ接続リードの長さが短いために、インダクタンス成分が小さく、信号速度が速くなり高速対応が可能となる。

【0007】

【発明が解決しようとする課題】前記BGAパッケージは、実装の際に実装基板と半導体チップ間の熱膨張差により生ずる熱応力を緩和するために、半導体チップと実装基板との間に緩衝層と呼ばれる弾性体を用いている。具体的にはポリイミドなどの支持体上に形成された配線層上にシリコーン等の低弾性のエラストマを形成し、半導体チップの支持、放熱のための基板を搭載した構造となる。

【0008】上記の緩衝層の形成方法は、メタルマスクによる印刷やシート状のエラストマの貼り付け等の方法がある。印刷方法で行う場合、原料となるエラストマ成分は印刷後に加熱硬化しなければならない。その際、従来の熱硬化型シリコーンエラストマでは、印刷してから加熱硬化するまでの間にエラストマ成分が配線層上ににじみ出し、半導体チップの接続リードの表面を汚染する。

【0009】また、加熱硬化時にガスが発生し、そのガス成分中に含まれるシロキサン成分が前記リード表面を汚染する。

【0010】その結果半導体チップとリードとを接続する際に両者の確実な電気的接続が不可能になる。

【0011】また、印刷でエラストマ部を形成するには適切な粘度のエラストマ材を使用しないと、エラストマ形状のコントロールが難しい。特に、高粘度材ではエラストマ表面の平坦性が保てず、半導体チップ貼付後に空隙が生じてリフロー時に剥離や破裂が生じる。

【0012】本発明の目的は、上記のエラストマ層形成

時に生ずる問題を解決した、高信頼性の配線基板および半導体装置を提供することにある。

【0013】

【課題を解決するための手段】前記の課題を解決する本発明の主旨は次のとおりである。

【0014】〔1〕 半導体チップと、実装基板とを電気的に接続するための配線基板であって、半導体チップ端子と電気的に接続するための配線層と、実装基板と電気的に接続するためのボール状端子を有する配線基板において、前記配線層上に半導体チップと実装基板との熱応力緩和のための緩衝層を備え、該緩衝層が、ポリジメチルシロキサンを主骨格とするシリコーンエラストマ硬化物により構成されており、前記ポリジメチルシロキサンの重量平均分子量(Mw)が90,000以上、硬化前のシリコーンエラストマの150℃、1時間加熱により発生するガス中の $-(CH_3)_2SiO-$ (但し、nは5以下)成分が加熱減量分の0.1重量%以下であることを特徴とする配線基板。

【0015】〔2〕 半導体チップまたは半導体チップを搭載した基板と、半導体チップを実装基板に電気的に接続するための配線基板を備え、該配線基板が半導体チップ端子と電気的に接続された配線層と、実装基板と電気的に接続するためのボール状端子を備えた半導体装置において、前記配線基板の配線層上に半導体チップと実装基板との熱応力緩和のための緩衝層を備え、該緩衝層がポリジメチルシロキサンを主骨格とするシリコーンエラストマ硬化物により構成されており、前記ポリジメチルシロキサンの重量平均分子量(Mw)が90,000以上、硬化前のシリコーンエラストマの150℃、1時間加熱により発生するガス中の $-(CH_3)_2SiO-$ (但し、nは5以下)成分が加熱減量分の0.1重量%以下であることを特徴とする半導体装置。

【0016】〔3〕 前記緩衝層を構成するシリコーンエラストマの硬化前の粘度が1,000Pa・s以下である。

【0017】

【発明の実施の形態】本発明が対象とする半導体チップは、ロジック、メモリ、ゲートアレイ等のシリコンウエハ上に、所定のプロセスで形成された半導体回路を持つシリコン半導体チップである。

【0018】半導体チップの支持、放熱のための基板は銅、アルミニウム、鉄、ニッケル、タングステン、その他の金属またはこれらを組合せた合金、または、アルミナ等のセラミック材料で構成される。基板の一方の面に熱放散性を高めるためフィン状に加工されたものでもよい。

【0019】実装基板と半導体チップとの電気的接続は、配線フィルム(キャリア基板)を介して接続される。上記配線フィルムの配線端子は、実装基板の端子に対応して設けた多数のはんだボールからなるボール状端

子を有し、これにより実装基板と電気的に接続される。

【0020】一方、半導体チップの配線フィルムへの電気的接続は、アルミニウム、金などのボンディングワイヤで接続される。

【0021】上記配線フィルムは、ポリイミド等の耐熱性、機械的特性に優れたエンジニアリングプラスチックが用いられ、その配線は、金、銅、アルミニウムまたはその最表面上に金メッキを施したもので形成される。この配線フィルムは、電気的特性を考慮し、配線の他にグラ

ランド層や電源層を持つ場合もある。

【0022】前記ボール状端子は、加熱により溶融して電気的接続できる導電材料からなり、錫、亜鉛、鉛を含むはんだ合金、銀、銅または金、あるいはそれらを金で被覆しボール状に形成したものである。また、加熱せずに接触、振動させることで電気的接続することができるものでもよい。上記以外にモリブデン、ニッケル、銅、白金、チタンなどの1種以上を組合せた合金、もしくは、2つ以上の多重膜とした構造のボール状端子でもよい。

【0023】半導体装置と実装基板との熱応力を緩和するための本発明の緩衝層は、加熱硬化型のシリコーンで構成されている。主成分を構成するベースポリマには、通常ビニル基が両末端に結合しているものを使用するが、側鎖に導入されている場合もある。また、主鎖のケイ素に結合している有機基はメチル基、フェニル基、トリフルオロプロピル基等が用いられる。

【0024】架橋剤には1分子中にSi-H基を3個以上もつポリマが用いられる。硬化触媒には白金化合物が用いられる。

【0025】この他に、アセチレンアルコール類や環状メチルビニルシロキサン、シロキサン変性アセチレンアルコール類等の硬化抑制剤、アエロジル、石英フィラ、酸化鉄、アルミニウムナ等の補強材、ヒドロシリル基、オキシラン基、アルコキシシリル基を官能基としてもつシロキサン化合物等の接着性向上剤を配合することができる。

【0026】図1に、シリコーンエラストマ材印刷後、4時間放置した後のエラストマ成分のにじみ出し量と、シリコーンエラストマ主成分を構成するベースポリマの重量平均分子量との関係を示す。X軸に重量平均分子量(Mw)、Y軸に4時間後ののにじみ出し量を示す。

【0027】Mwの増加に伴いにじみ出し量が減少していることが確認された。この図よりMwが9,000以上のエラストマ材を用いることによりにじみ出し量を0.3mm以下に抑えることができる。これによって、本発明の緩衝層の主成分を構成するポリジメチルシロキサンのMwを90,000以上とすることで、エラストマ成分のにじみ出しによるリード汚染が抑制できる。

【0028】次に、加熱硬化時に発生するガス量と、リードの半導体チップに対する接合性について検討を行っ

た結果を図2に示す。X軸に150℃、1時間加熱時の重量減少に伴う発生ガス中の $-(CH_3)_nSiO-$ (但し、 n は5以下)成分の加熱減量分に対する重量比、Y軸に配線リードを半導体チップに接合する際の接合成功率を示す。

【0029】発生ガス中に占める $-(CH_3)_nSiO-$ (但し、 n は5以下)成分が加熱減量分の0.1重量%を超えると、リードの接合成功率が急激に低下することが分かる。

【0030】加熱硬化時に発生するガスはトルエン、キシレン等の溶媒系ガスも含まれる。しかし、リード汚染に直接関与するものはヘキサメチルジシロキサン、ヘプタメチルトリシロキサン、シクロトリメチルシロキサン、ヘキサメチルナノメチルテトラシロキサン、シクロテトラシロキサンオクタメチル、シクロペンタシロキサンデカメチル等の $-(CH_3)_nSiO-$ (但し、 n は5以下)で示されるシロキサン化合物である。従って、これらのシロキサン化合物の加熱硬化時の発生量を0.1重量%以下に低減したエラストマ材を適用することで、リードの接合信頼性が向上する。

【0031】本発明の応力の緩衝層は、メタルマスクまたはスクリーンマスクを用いた印刷法により形成される。この際、印刷後のエラストマ形状はエラストマ材の粘度に大きく影響される。

【0032】そこでエラストマ材の粘度とエラストマ形状について検討を行った結果を図3に示す。

【0033】X軸に硬化前エラストマ材の粘度、Y軸に平坦度を示す。粘度は回転粘度計RS100 Rheo Stress (ハーケ社製)を用い、35mmφ/4度のコーンプレートにより測定した。粘度 η は回転数1/sの値を採用した。

【0034】また、図3から明らかなように平坦度は、形成されたエラストマ層の最高点と平坦面の高さとの差(b)を、平坦面の高さ(a)で割った値を採用した。この結果、粘度1,000Pa・s以下で急激に突起度(b/a)が減少していることが分かる。従って、粘度1,000Pa・s以下のエラストマ材を用いることで突起の少ない平坦性に優れた緩衝層を形成することができる。

【0035】上記により、エラストマ成分のにじみ出しおよび加熱硬化時の揮発成分によるリード汚染が改善され、半導体チップとの接続信頼性を向上することができる。

【0036】また、形成後のエラストマ緩衝層の平坦性が向上し、半導体チップと配線フィルム(配線基板)との貼合の際の密着性が向上して、ボイド等の発生が抑制されるので、リフロー性が向上する。

【0037】

【実施例】

【実施例 1】図4は本実施例の配線基板の製造工程を

示す模式断面図である。エポキシ系接着剤の付いた幅38mm×厚さ150μmの長尺状ポリイミドフィルム(ユービレックス、宇部興産製)にバンチング加工を施し、半導体チップとの接続のための窓を形成した(工程a)。

【0038】次に、上記ポリイミドフィルム1に厚さ18μmの電解銅箔2を150℃のローラーで加熱圧着した(工程b)。

【0039】上記電解銅箔2上に感光性レジスト3(P-RS300S、東京応化製)を塗布した後、90℃/30分ベークした(工程c)。

【0040】次いで、配線パターンを露光、現像して、エッチングマスクを形成した(工程d)。

【0041】40℃の塩化鉄水溶液中で電解銅箔2をエッチング後、レジストを剥離して銅配線を形成し、この銅配線最表面上に金を電気メッキし、配線部4を形成した(工程e)。

【0042】次に、配線部パターンが形成された配線基板上にスクリーンマスクを重ね、Mwが110,000、硬化時のシロキサン化合物揮発成分量が0.1重量%以下、粘度が390Pa・sの液状付加型シリコンエラストマ(東レダウ製試作品)を、ウレタンゴム製スキージを用いて印刷し150℃で1時間硬化してエラストマ層(緩衝層)5を形成し、本発明の配線基板を作製した。

【0043】【実施例 2】図5は本実施例の半導体装置の模式断面図である。実施例1で作製した配線基板のエラストマ上に、スクリーン印刷でシリコン系接着材(KE1820、信越化学製)を塗布後、位置合わせを行い半導体チップ6を搭載し、180℃1分で貼付けした。

【0044】配線基板から突き出た接続リード7を、超音波印加により半導体チップ6のアルミニウムパッド上に接続した。接続部をシリコン系封止材8(TSJ3150、東芝シリコン製)で封止し、150℃、4時間の加熱硬化を行った。

【0045】配線基板のはんだボール接続部にフラックスを塗布し、0.6mmφの共晶はんだ(Pb:63重量%, Sn:37重量%)ボールを載せ、240℃、5秒のIRリフロー加熱によりはんだボール接続端子9を形成した。

【0046】以上のプロセスで作製された半導体装置を85℃、85%RH中で48時間吸湿させた後、240℃、5秒のリフロー試験を実施した。また、リードを半導体チップに接合する際の接合成功率も評価し、これらの結果を表1に示す。

【0047】【実施例 3】図6は本実施例の半導体装置の模式断面図である。エポキシ系接着剤の付いた幅38mm×厚さ75μmの長尺状ポリイミドフィルム(ユービレックス、宇部興産製)にバンチング加工を施し、

半導体チップとの接続のための窓を形成した。

【0048】次に、上記ポリイミドフィルムに厚さ18 μ mの電解銅箔を150℃のローラーで加熱圧着した。次いで、上記電解銅箔上に感光性レジスト(P-RS300S, 東京応化製)を塗布後、90℃, 30分ベークした。これにパターンを露光現像してエッチングマスクを形成した。

【0049】次いで、40℃の塩化鉄水溶液中で電解銅箔をエッチングし、レジストを剥離して銅配線を形成した。この銅配線表面に金を電気メッキし配線部を形成した。

【0050】この配線パターンが形成された配線基板上にメタルマスクを重ね、Mwが120,000、硬化時のシロキサン化合物揮発成分量が0.1重量%以下、粘度が900Pa \cdot sの液状付加型シリコンエラストマ(東レダウ製、試作材)をウレタンゴム製スキージを用いて印刷し、150℃で1時間硬化しエラストマ層5を形成した。

【0051】このエラストマ層5上にスクリーン印刷でシリコン系接着材(KE1820, 信越化学製)を塗布後、位置合わせを行い半導体チップ6を180℃, 1分で貼付けた。

【0052】配線層から突き出た接続リード7は超音波を印加して半導体チップのアルミニウムパッド上に接続した。接続端子部をシリコン系封止材8(TSJ3150, 東芝シリコン製)で封止し、150℃, 4時間加熱硬化させた。配線基板のはんだボール接続部にフラックスを塗布し0.6mm ϕ の共晶はんだボール(Pb63, Sn37)を載せ、240℃, 5秒のIRリフロー加熱によりはんだボール接続端子9を形成した。

【0053】以上により作製した半導体装置を、85℃, 85%RH中で48時間吸湿させた後、240℃, 5秒のリフロー試験を実施した。また、リードを半導体チップに接合する際の接合成功率も評価し、結果を表1に示す。

【0054】〔実施例 4〕図7は本実施例の半導体装置の模式断面図である。実施例3と同様の方法でシリコンエラストマを形成した配線基板を作製した。

【0055】この配線基板のエラストマ上にスクリーン印刷でシリコン系接着材(KE1820, 信越化学製)を塗布後、予め、半導体チップ6が搭載された半導体支持基板10と位置合わせを行った後、180℃, 1分で貼付けた。

【0056】配線基板から突き出た接続リード7を超音波を印加し半導体チップのアルミニウムパッド上に接続した。接続端子部をシリコン系封止材8(TSJ3150, 東芝シリコン製)で封止し、150℃, 4時間加熱硬化させた。配線基板のはんだボール接続部にフラックスを塗布し0.6mm ϕ の共晶はんだボール(Pb63, Sn37)を載せ、240℃, 5秒のIRリフロー加熱によりはんだボール接続端子9を形成した。

【0057】以上により作製された半導体装置を、85℃, 85%RH中で48時間吸湿させた後、240℃, 5秒のリフロー試験を実施した。また、リードを半導体チップに接合する際の接合成功率も評価し、結果を表1に示す。

【0058】〔比較例 1〕Mwが48,000、硬化時のシロキサン化合物揮発成分量が0.1重量%以下、粘度が600Pa \cdot sの液状付加型シリコンエラストマ(JCR6126, 東レダウ製)を用い、実施例2と同様にして半導体装置を作製した。

【0059】この半導体装置を、85℃, 85%RH中で48時間吸湿させた後、240℃, 5秒のリフロー試験を実施した。また、リードを半導体チップに接合する際の接合成功率も評価し、結果を表1に示す。

【0060】〔比較例 2〕硬化時のシロキサン化合物揮発成分量が0.3%、粘度が600Pa \cdot sの液状付加型シリコンエラストマ(TSE3221改良品, 東芝シリコン製)を用い、実施例2と同様にして半導体装置を作製した。

【0061】この半導体装置を、85℃, 85%RH中で48時間吸湿させた後、240℃, 5秒のリフロー試験を実施した。また、リードを半導体チップに接合する際の接合成功率も評価し、結果を表1に示す。

【0062】〔比較例 3〕Mwが12,000、硬化時のシロキサン化合物揮発成分量が0.1重量%以下、粘度が2,000Pa \cdot sの液状付加型シリコンエラストマ(東レダウ製試作品)を用い、実施例3と同様にして半導体装置を作製した。

【0063】この半導体装置を、85℃, 85%RH中で48時間吸湿させた後、240℃, 5秒のリフロー試験を実施した。また、リードを半導体チップに接合する際の接合成功率も評価し、結果を表1に示す。

【0064】

【表1】

表 1

		重量平均 分子 量	シロキサン 揮発成分量	粘 度	接合成功率	リフロー 不 良 数
		Mw	重量%	Pa・s		
実 施 例	2	110,000	0.1以下	390	100/100	0/10
	3	120,000	0.1以下	900	100/100	0/10
	4	120,000	0.1以下	900	100/100	0/10
比 較 例	1	48,000	0.1以下	500	50/100	0/10
	2	—	0.3	800	0/100	0/10
	3	120,000	0.1以下	3,000	100/100	8/10

接合成功率＝成功率／試験数

リフロー不良数＝成功率／試験数

【0065】前記各実施例の半導体装置は、比較例の半導体装置と比べてリード汚染が無いため接合成功率が高い。また、平坦性が良く、貼り付け後にボイドができてくいののでリフロー試験による不良の発生がない。

【0066】

【発明の効果】本発明の応力緩衝のエラストマ層を備えた半導体装置は、エラストマ層の形成時のエラストマ成分のにじみ出しや、加熱硬化時の揮発成分による汚染がないため、半導体チップとリードの接続信頼性が高く、また、エラストマ層の平坦性が良いために実装時のリフローによる配線部の剥離、膨れおよび破裂などがなく実装することができる。

【0067】また、温度サイクルでの不良がなくなるため信頼性も向上する。

【図面の簡単な説明】

【図1】シリコンエラストマを構成するベースポリマの重量平均分子量(Mw)と、にじみ出し量(mm)と*

* の関係を示すグラフである。

【図2】シロキサン化合物の加熱硬化時の発生ガス量と、リードの半導体チップに対する接合成功率との関係を示すグラフである。

【図3】エラストマ材の粘度と平坦度との関係を示すグラフである。

【図4】実施例1の配線基板の作製工程の模式断面図である。

20 【図5】実施例2の半導体装置の断面模式図である。

【図6】実施例3の半導体装置の断面模式図である。

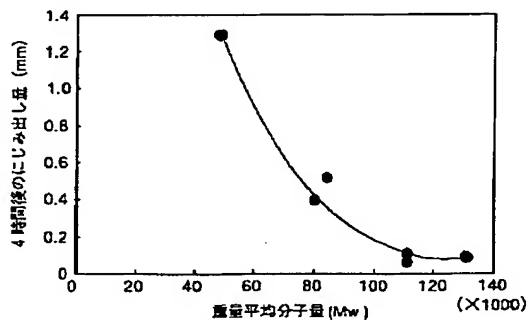
【図7】実施例4の半導体装置の断面模式図である。

【符号の説明】

1…ポリイミドフィルム、2…電解銅箔、3…感光性レジスト、4…配線部、5…エラストマ層(緩衝層)、6…半導体チップ、7…接続リード、8…封止材、9…はんだボール接続端子、10…半導体支持基板。

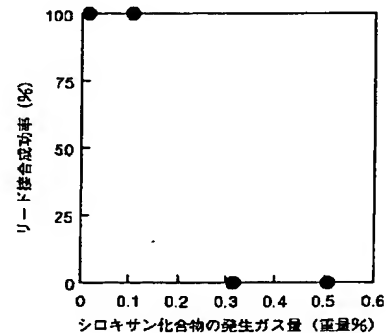
【図1】

図 1



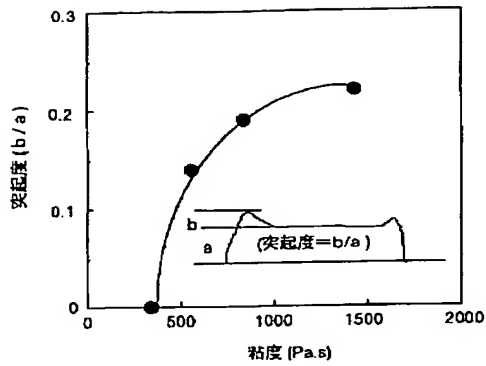
【図2】

図 2



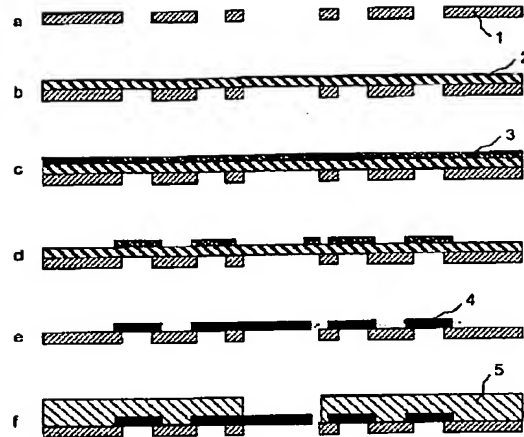
【図3】

図 3



【図4】

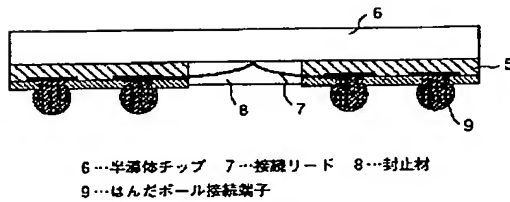
図 4



1…ポリイミドフィルム 2…電解銅箔 3…感光性レジスト
4…配線部 5…エラストマ (緩衝層)

【図5】

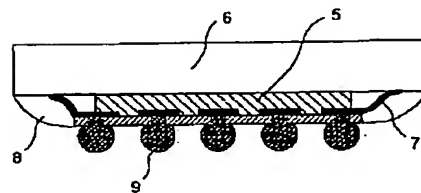
図 5



6…半導体チップ 7…接線リード 8…封止材
9…はんだボール接結端子

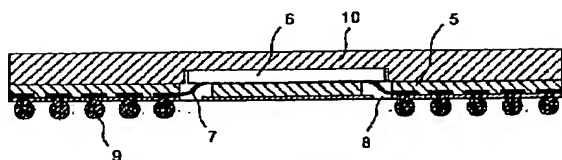
【図6】

図 6



【図7】

図 7



10…半導体支持基板

フロントページの続き

(72)発明者 江口 州志
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 瀬川 正則
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 服部 理恵
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 小角 博義
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 石井 利昭
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 西村 朝雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 坪崎 邦宏
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 宮崎 忠一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 御田 護
茨城県日立市助川町三丁目1番1号 日立
電線株式会社電線工場内

(72)発明者 岡部 則夫
茨城県日立市助川町三丁目1番1号 日立
電線株式会社電線工場内